



Docket No.: YHK-0114

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
: Seong Ho KANG and Sang Jin YUN :
: Serial No.: 10/630,720 :
: Confirm. No.: Confirmation No. :
: Filed: July 31, 2003 : Customer No.: 34610
For: METHOD FOR DRIVING PLASMA DISPLAY PANEL

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window
Crystal Plaza Two, Lobby, Room 1B03
Arlington, Virginia 22202

Sir:

At the time the above application was filed, priority was claimed based on the following application:

Korean Patent Application No. P2002/45605 Filed August 1, 2002.

A copy of each priority application listed above is enclosed.

Respectfully submitted,
FLESHNER & KIM, LLP

Daniel Y. J. Kim
Registration No. 36,186

P.O. Box 221200
Chantilly, Virginia 20153-1200
703 502-9440 DYK/dak
Date: September 5, 2003

Please direct all correspondence to Customer Number 34610



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0045605 3299
Application Number

출원 년 월 일 : 2002년 08월 01일
Date of Application AUG 01, 2002

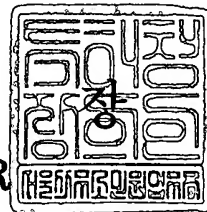
출원인 : 엘시전자 주식회사
Applicant(s) LG Electronics Inc.



2003 년 08 월 07 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.08.01
【발명의 명칭】	플라즈마 디스플레이 패널의 구동방법
【발명의 영문명칭】	Method Of Driving Plasma Display Panel
【출원인】	
【명칭】	엘지전자 주식회사
【출원인코드】	1-2002-012840-3
【대리인】	
【성명】	김영호
【대리인코드】	9-1998-000083-1
【포괄위임등록번호】	2002-026946-4
【발명자】	
【성명의 국문표기】	윤상진
【성명의 영문표기】	YUN,Sang Jin
【주민등록번호】	701229-1547915
【우편번호】	790-330
【주소】	경상북도 포항시 남구 효자동 산 31 포항공대 전자컴퓨터 공학부
【국적】	KR
【발명자】	
【성명의 국문표기】	강성호
【성명의 영문표기】	KANG,Seong Ho
【주민등록번호】	681022-1812321
【우편번호】	702-260
【주소】	대구광역시 북구 태전동 442 우방3차 105동 903호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김영호 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 6 면 6,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 4 항 237,000 원

【합계】 272,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 화질을 향상시킬 수 있는 플라즈마 디스플레이 패널의 구동방법에 관한 것이다.

본 발명에 따른 플라즈마 디스플레이 패널의 구동방법은 서스테인기간동안 제1 및 제2 구동부에서 각각 생성된 폭이 다른 제1 및 제2 서스테인펄스를 제1 및 제2 행전극에 교번적으로 공급하는 단계를 포함하는 것을 특징으로 한다.

【대표도】

도 6

【명세서】**【발명의 명칭】**

플라즈마 디스플레이 패널의 구동방법{Method Of Driving Plasma Display Panel}

【도면의 간단한 설명】

도 1은 종래의 교류 면방전 플라즈마 디스플레이 패널을 나타내는 사시도.

도 2는 도 1에 도시된 플라즈마 디스플레이 패널의 전체적인 전극 라인 및 방전셀의 배치 구조를 도시한 평면도.

도 3은 서스테인구동부의 앞단에 설치된 종래의 전력 회수장치를 나타내는 도면.

도 4는 도 3에 도시된 스위치들의 온/오프 타이밍과 패널 커패시터의 출력 파형을 나타내는 타이밍도 및 파형도.

도 5는 도 2에 도시된 서스테인전극쌍에 공급되는 서스테인펄스를 상세히 나타내는 파형도.

도 6은 본 발명에 따른 플라즈마 디스플레이 패널의 구동방법을 나타내는 파형도.

도 7a 및 도 7b는 도 6에 도시된 서스테인기간의 제1 및 제2 서스테인펄스를 상세히 나타내는 파형도.

도 8a 및 도 8b는 도 6에 도시된 서스테인기간의 제1 및 제2 서스테인펄스의 다른 형태를 나타내는 파형도.

< 도면의 주요 부분에 대한 부호의 설명 >

1 : 방전셀 10 : 상부기관

12Y : 주사/서스테인전극 12Z : 공통서스테인전극

14,22 : 유전체층 16 : 보호막

18 : 하부기관 20X : 어드레스전극

24 : 격벽 26 : 형광체

30 : PDP 32 : 주사/서스테인 구동부

34 : 공통서스테인 구동부 36A : 제 1 어드레스 구동부

36B : 제 2 어드레스 구동부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<18> 본 발명은 플라즈마 디스플레이 패널에 관한 것으로 특히, 화질을 향상시킬 수 있는 플라즈마 디스플레이 패널의 구동방법에 관한 것이다.

<19> 플라즈마 디스플레이 패널(Plasma Display Panel : 이하 "PDP"라 함)은 가스방전에 의해 발생하는 자외선이 형광체를 여기시킬 때 형광체로부터 가시광선이 발생하는 것을 이용한 표시장치이다. PDP는 지금까지 표시수단의 주종을 이루어왔던 음극선관(Cathode Ray Tube : CRT)에 비해 두께가 얇고 가벼우며, 고선명 대형화면의 구현이 가능하다는 점 등의 장점이 있다. PDP는 매트릭스 형태로 배열된 다수의 방전셀들로 구성되며, 하나의 방전셀은 화면의 한 화소를 이루게 된다.

- <20> 도 1은 종래의 교류 면방전 PDP를 나타내는 사시도이다.
- <21> 도 1을 참조하면, 3전극 교류 면방전형 PDP의 방전셀은 상부기판(10) 상에 형성되어진 주사/서스테인전극(12Y) 및 공통서스테인전극(12Z)과, 하부기판(18) 상에 형성되어진 어드레스전극(20X)을 구비한다. 주사/서스테인전극(12Y)과 공통서스테인전극(12Z)이 나란하게 형성된 상부기판(10)에는 상부 유전체층(14)과 보호막(16)이 적층된다. 상부 유전체층(14)에는 플라즈마 방전시 발생된 벽전하가 축적된다. 보호막(16)은 플라즈마 방전시 발생된 스퍼터링에 의한 상부 유전체층(14)의 손상을 방지함과 아울러 2차 전자의 방출 효율을 높이게 된다. 보호막(16)으로는 통상 산화마그네슘(MgO)이 이용된다. 어드레스전극(20X)이 형성된 하부기판(18) 상에는 하부 유전체층(22), 격벽(24)이 형성되며, 하부 유전체층(22)과 격벽(24) 표면에는 형광체(26)가 도포된다. 어드레스전극(20X)은 주사/서스테인전극(12Y) 및 공통서스테인전극(12Z)과 교차되는 방향으로 형성된다. 격벽(24)은 어드레스전극(20X)과 나란하게 형성되어 방전에 의해 생성된 자외선 및 가시광이 인접한 방전셀에 누설되는 것을 방지한다. 형광체(26)는 플라즈마 방전시 방출된 자외선에 의해 여기되어 적색, 녹색 또는 청색 중 어느 하나의 가시광선을 발생하게 된다. 상/하부기판(10,18)과 격벽(24) 사이에 마련된 방전공간에는 가스방전을 위한 불활성 가스가 주입된다.
- <22> 도 2를 참조하면, 종래의 교류 면방전형 PDP의 구동장치는 $m \times n$ 개의 방전셀들(1)이 주사/서스테인전극라인들(Y1내지Ym), 공통서스테인전극라인들(Z1내지Zm) 및 어드레스전극라인들(X1내지Xn)과 접속되게끔 매트릭스 형태로 배치된 PDP(30)와, 주사/서스테인전극라인들(Y1내지Ym)을 구동하기 위한 주사/서스테인 구동부(32)와, 공통서스테인전극라인들(Z1내지Zm)을 구동하기 위한 공통서스테인 구동부(34)와, 기수번째 어드레스전극라인

인들($X_1, X_3, \dots, X_{n-3}, X_{n-1}$)과 우수번째 어드레스전극라인들($X_2, X_4, \dots, X_{n-2}, X_n$)을 분할 구동하기 위한 제 1 및 제 2 어드레스 구동부(36A, 36B)를 구비한다. 주사/서스테인 구동부(32)는 주사/서스테인전극라인들(Y_1 내지 Y_m)에 스캔펄스와 서스테인펄스를 순차적으로 공급하여 방전셀들(1)이 라인 단위로 순차적으로 주사되게 함과 아울러 $m \times n$ 개의 방전셀들(1) 각각에서의 방전이 지속되게 한다. 공통서스테인 구동부(34)는 공통서스테인전극라인들(Z_1 내지 Z_m) 모두에 서스테인 펄스를 공급하게 된다. 제 1 및 제 2 어드레스 구동부(36A, 36B)는 스캔펄스에 동기되게끔 영상 데이터를 어드레스전극라인들(X_1 내지 X_n)에 공급하게 된다. 제 1 어드레스 구동부(36A)는 기수번째 어드레스전극라인들($X_1, X_3, \dots, X_{n-3}, X_{n-1}$)에 영상데이터를 공급하고 제 2 어드레스 구동부(36B)는 우수번째 어드레스전극라인들($X_2, X_4, \dots, X_{n-2}, X_n$)에 영상데이터를 공급한다.

<23> 이와 같이 구동되는 교류 면방전 PDP에서는 어드레스 방전 및 서스테인 방전에 수백 볼트 이상의 고압이 필요하게 된다. 이에 따라, 어드레스 방전 및 서스테인 방전에 필요한 구동전력을 최소화하기 위하여 주사/서스테인 구동부(32) 및 공통서스테인 구동부(34)에는 도 3에 도시된 바와 같이 에너지 회수장치(38)가 추가로 설치된다. 이 에너지 회수장치(38)는 주사/서스테인전극라인(Y) 및 공통서스테인전극라인(Z)에 충전되는 전압을 회수하여 이를 다음 방전시의 구동전압으로서 재이용 한다.

<24> 이러한 종래 에너지 회수장치(38)는 패널 커패시터(C_p)와 소스 커패시터(C_s) 사이에 접속된 인덕터(L)와, 소스 커패시터(C_s)와 인덕터(L) 사이에 병렬로 접속된 제 1 및 제 3 스위치(S_1, S_3)를 구비한다. 주사/서스테인구동부(32)는 패널 커패시터(C_p)와 인덕터(L) 사이에 병렬로 접속된 제 2 및 제 4 스위치(S_2, S_4)로 구성된다. 패널 커패시터(C_p)는 주사/서스테인전극라인(Y)과 공통서스테인전극라인(Z) 사이에 형성되는 정전용량

을 증가적으로 나타낸 것이다. 제 2 스위치(S2)는 서스테인 전압원(V_{sus})에 접속되고, 제 4 스위치(S4)는 기저전압원(GND)에 접속된다. 소스 커패시터(C_s)는 서스테인 방전시 패널 커패시터(C_p)에 충전되는 전압을 회수하여 충전함과 아울러 충전된 전압을 패널 커패시터(C_p)에 재공급한다. 소스 커패시터(C_s)는 서스테인 전압(V_{sus})의 절반값에 해당하는 $V_{sus}/2$ 의 전압을 충전할 수 있도록 큰 용량값을 가진다. 인덕터(L)는 패널 커패시터(C_p)와 함께 공진회로를 형성한다. 제 1 내지 제 4 스위치(S1내지S4)는 전류의 흐름을 제어한다. 공통서스테인 구동부(34)에 형성되는 에너지회수장치(38)는 패널 커패시터(C_p)를 중심으로 주사/서스테인 구동부(32)와 대칭적으로 형성된다.

<25> 도 4는 도 3에 도시된 스위치들의 온/오프 타이밍과 패널 커패시터의 출력 파형을 나타내는 타이밍도 및 파형도이다. 에너지회수회로(38)의 동작과정을 도 3 및 도 4를 결부하여 설명하기로 한다.

<26> 먼저, T1 기간 이전에 주사/서스테인전극라인(Y)과 공통서스테인전극라인(Z) 사이에 충전된 전압, 즉 패널 커패시터(C_p)에 충전된 전압은 0 볼트라고 가정한다. 또한 소스 커패시터(C_s)에는 $V_{sus}/2$ 의 전압이 충전되어 있다고 가정한다. T1 기간에는 제 1 스위치(S1)가 턴-온(Turn-on)되어 소스 커패시터(C_s)로부터 제 1 스위치(S1), 인덕터(L) 및 패널 커패시터(C_p)로 이어지는 전류 패스가 형성된다. 이때, 인덕터(L)와 패널 커패시터(C_p)는 직렬 공진회로를 형성한다. 소스 커패시터(C_s)에 $V_{sus}/2$ 의 전압이 충전되었기 때문에, 직렬 공진회로에서 인덕터(L)의 전류 충/방전에 의해 패널 커패시터(C_p)의 전압은 소스 커패시터(C_s) 전압의 두배인 서스테인전압(V_{sus})까지 상승하게 된다. T2 기간에 제 2 스위치(S2)는 턴-온되어 서스테인 전압(V_{sus})을 주사/서스테인전극라인(Y)에 공급한다. 주사/서스테인전극라인(Y)에 공급되는 서스테인 전압(V_{sus})은 패널 커패

시터(C_p)의 전압이 서스테인 전압(V_{sus}) 이하로 떨어지는 것을 방지하여 서스테인 방전이 정상적으로 일어나도록 한다. 이때, T1 기간에 패널 커패시터(C_p)의 전압이 서스테인 전압(V_{sus})까지 상승하였으므로 서스테인 방전을 일으키기 위해 외부에서 공급해 주는 구동전력이 최소화된다. T3 기간에는 제 1 스위치(S1)가 턴-오프(Turn-off)됨과 아울러 패널 커패시터(C_p)는 서스테인 전압(V_{sus})을 유지한다. T4 기간에 제 2 스위치(S2)는 턴-오프됨과 아울러 제 3 스위치(S3)는 턴-온된다. 제 3 스위치(S3)가 턴-온되면 패널 커패시터(C_p)로부터 인덕터(L) 및 제 3 스위치(S3)를 통해 소스 커패시터(C_s)로 이어지는 전류 패스가 형성되어 패널 커패시터(C_p)에 충전된 전압이 소스 커패시터(C_s)로 회수된다. 패널 커패시터(C_p)가 방전되면서 패널 커패시터(C_p)의 전압이 하강하게 되고, 이와 동시에 소스 커패시터(C_s)에는 $V_{sus}/2$ 의 전압이 충전된다. 소스 커패시터(C_s)에 $V_{sus}/2$ 의 전압이 충전된 후 제 3 스위치(S3)가 턴-오프됨과 아울러 제 4 스위치(S4)가 턴-온된다. 제 4 스위치(S4)가 턴-온되는 T5기간에는 패널 커패시터(C_p)로부터 기저전압원(CMD)으로의 전류 패스가 형성되어 패널 커패시터(C_p)의 전압이 0볼트로 하강한다. T6 기간에는 T5 기간의 상태를 일정 시간동안 그대로 유지한다. 실제 주사/서스테인전극라인(Y) 및 공통서스테인전극라인(Z)에 공급되는 교류 구동 펄스는 T1 내지 T6 기간동안의 동작과정이 주기적으로 반복되면서 얻어지게 된다.

<27> 이와 같이 구동되는 PDP의 주사/서스테인전극라인들(Y)에는 서스테인기간에 서스테인펄스가 공급됨과 아울러 초기화기간과 어드레스기간에 리셋 및 스캔펄스가 추가적으로 공급된다. 따라서, 주사/서스테인구동부(32)에는 다수의 스캔 드라이브 집적회로(Scan Drive Integrated Circuit) 및 다수의 고압스위치가 설치된다. 이에 비해, 서스테인펄스만이 공급되므로 공통서스테인전극라인(Z)은 곧바로 공통서스테인공급부(34)와 연결된

다. 이로 인해, 주사/서스테인구동부(32)와 주사/서스테인전극라인(Y)의 전류경로의 저항이 공통서스테인공급부(34)와 공통서스테인전극라인(Z)의 전류경로의 저항에 비해 상대적으로 크다. 또한, 주사/서스테인공급부(32)는 공통서스테인공급부(34)에 비해 전류공급능력이 상대적으로 작다.

<28> 이러한 전류경로의 저항차 및 전류공급능력 차이에도 불구하고 서스테인기간동안 주사/서스테인전극라인(Y)과 공통서스테인전극라인(Z)에 각각 공급되는 주사/서스테인펄스(SUS1)와 공통서스테인펄스(SUS2)의 펄스폭(TP1, TP2)이 도 5에 도시된 바와 같이 동일하다. 즉, 주사/서스테인펄스(SUS1)의 상승기간(Tr1)은 공통서스테인펄스(SUS2)의 상승기간(Tr2)과 동일하며, 주사/서스테인펄스(SUS1)의 유지기간(Ts1)은 공통서스테인펄스(SUS2)의 유지기간(Ts2)과 동일하며, 주사/서스테인펄스(SUS1)의 하강기간(Tf1)은 공통서스테인펄스(SUS2)의 하강기간(Tf2)과 동일하다. 여기서, 주사/서스테인펄스와 공통서스테인펄스의 상승기간(Tr1, Tr2)은 도 3에 도시된 에너지 회수회로(38)의 동작 시점부터 제2 스위치(S2)가 턴온되는 시점까지의 기간이며, 하강기간(Tf1, Tf2)은 에너지 회수회로(38)의 동작 시점부터 제4 스위치(S4)가 턴온되는 시점까지의 기간이다.

<29> 이에 따라, 주사/서스테인전극라인(Y)과 공통서스테인전극라인(Z)에 각각 인가되는 서스테인펄스(SUS1, SUS2)에 의해 발생하는 서스테인방전의 세기가 달라져 방전이 불균일하게 일어나 화질이 저하되는 문제점이 있다. 특히, 해상도가 커질수록, 주사/서스테인펄스(SUS1)와 공통서스테인펄스(SUS2)의 폭이 약 $2\mu s$ 일 때 두드러지게 나타난다.

【발명이 이루고자 하는 기술적 과제】

- <30> 따라서, 본 발명의 목적은 화질을 향상시킬 수 있는 플라즈마 디스플레이 패널의 구동방법에 관한 것이다.

【발명의 구성 및 작용】

- <31> 상기 목적을 달성하기 위하여 본 발명의 플라즈마 디스플레이 패널의 구동방법은 제1 및 제2 행전극과 열전극을 구비하고, 방전횟수에 따라 계조를 구현하는 서스테인기간을 포함하는 플라즈마 디스플레이 패널의 구동방법에 있어서, 서스테인기간동안 제1 및 제2 구동부에서 각각 생성된 폭이 다른 제1 및 제2 서스테인펄스를 상기 제1 및 제2 행전극에 교번적으로 공급하는 단계를 포함하는 것을 특징으로 한다.
- <32> 상기 제1 구동부에서 제1 행전극까지의 저항은 제2 구동부에서 제2 행전극까지의 저항에 비해 상대적으로 크며, 제1 서스테인펄스의 폭은 제2 서스테인펄스의 폭보다 길게 형성되는 것을 특징으로 한다.
- <33> 상기 제1 서스테인펄스의 유지기간은 제2 서스테인펄스의 유지기간보다 상대적으로 길게 형성되는 것을 특징으로 한다.
- <34> 상기 제1 서스테인펄스의 에너지회수회로에 의한 상승기간은 제2 서스테인펄스의 에너지회수회로에 의한 상승기간보다 상대적으로 짧게 형성되는 것을 특징으로 한다.
- <35> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

- <36> 이하, 도 6 내지 도 8b를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- <37> 도 6은 본 발명에 따른 플라즈마 디스플레이 패널의 구동방법을 나타내는 도면이다.
- <38> 도 6을 참조하면, 각 서브필드는 전화면의 셀들을 초기화시키기 위한 초기화기간, 방전셀을 선택하기 위한 어드레스기간 및 방전횟수에 따라 계조를 구현하는 서스테인기간으로 나뉘어진다.
- <39> 초기화기간에는 모든 주사/서스테인전극들(Y)에 주사/서스테인구동부에서 생성된 상승 램프파형(Ramp-up)이 동시에 인가된다. 상승 램프파형(Ramp-up)에 의해 전화면의 셀들 내에는 미약한 방전이 일어나게 되어 셀들 내에 벽전하가 생성된다. 상승 램프파형(Ramp-up)이 공급된 후, 주사/서스테인전극들(Y)에는 하강 램프파형(Ramp-down)이 동시에 인가된다. 하강 램프파형(Ramp-down)은 셀들 내에 미약한 소거방전을 일으킴으로써 전화면의 셀들 내에 어드레스방전에 필요한 벽전하를 균일하게 잔류시키게 된다.
- <40> 어드레스기간에는 부극성 스캔펄스(Scan)가 주사/서스테인전극들(Y)에 순차적으로 인가됨과 동시에 어드레스전극들(X)에 정극성의 데이터펄스(data)가 인가된다. 이 스캔펄스(Scan)와 데이터펄스(data)가 인가되는 셀 내에는 어드레스 방전이 발생된다. 어드레스방전에 의해 선택된 셀들 내에는 벽전하가 생성된다. 공통서스테인전극(Z)에는 셋다운기간과 어드레스기간 동안에 정극성의 직류전압(zdc)이 공급된다.
- <41> 서스테인기간에는 주사/서스테인전극들(Y)과 공통서스테인전극들(Z)에 교번적으로 제1 및 제2 서스테인펄스(SUS1, SUS2)가 인가된다. 어드레스방전에 의해 선택된 셀은 셀

내의 벽전압과 서스테인펄스(SUS1, SUS2)가 더해지면서 매 서스테인펄스(SUS1, SUS2)가 인가될 때마다 주사/서스테인전극(Y)과 공통서스테인전극(Z)사이의 면방전형태로 서스테인방전이 일어나게 된다.

<42> 이러한 주사/서스테인전극(Y)과 공통서스테인전극(Z)에 각각 인가되는 제1 및 제2 서스테인펄스(SUS1, SUS2)의 폭을 서로 다르게 한다. 이를 도 7a 내지 도 8b을 결부하여 상세히 설명하기로 한다.

<43> 도 7a 및 도 7b은 주사/서스테인구동부에서 주사/서스테인전극라인(Y)까지의 전류 경로의 저항이 공통서스테인구동부에서 공통서스테인전극라인(Z)까지의 그것보다 큰 경우에 인가되는 서스테인펄스를 나타내는 도면이다.

<44> 도 7a 및 도 7b를 참조하면, 주사/서스테인전극라인(Y)에 인가되는 제1 서스테인펄스(SUS1)의 폭(TP1)은 공통서스테인전극라인(Z)에 인가되는 제2 서스테인펄스(SUS2)의 폭(TP2)에 비해 상대적으로 크게 형성된다.

<45> 도 7a에 도시된 바와 같이 제1 서스테인펄스(SUS1)의 상승기간(Tr1)은 제2 서스테인펄스(SUS2)의 상승기간(Tr2)과 동일하게 형성되며, 제1 서스테인펄스(SUS1)의 유지기간(Ts1)은 제2 서스테인펄스(SUS2)의 유지기간(Ts2)보다 더 길게 형성되며, 제1 서스테인펄스(SUS1)의 하강기간(Tf1)은 제2 서스테인펄스(SUS2)의 하강기간(Tf2)과 동일하게 형성된다.

<46> 도 7b에 도시된 바와 같이, 제1 서스테인펄스(SUS1)의 상승기간(Tr1)은 제2 서스테인펄스(SUS2)의 상승기간(Tr2)보다 짧게 형성되, 제1 서스테인펄스(Sus1)의 유지기간(Ts1)은 제2 서스테인펄스(SUS2)의 유지기간(Ts2)보다 더 길게 형성되며, 제1 서스테인

펄스(SUS1)의 하강기간(T_{f1})은 제2 서스테인펄스(SUS2)의 하강기간(T_{f2})과 동일하게 형성된다. 서스테인펄스의 상승기간이 작을수록 방전세기가 상대적으로 커짐으로써 제2 서스테인펄스(SUS2)의 상승기간(T_{r2})보다 짧은 제1 서스테인펄스(SUS1)의 상승기간(T_{r1})에 의해 방전세기가 상대적으로 커진다. 여기서, 상승기간(T_{r1}, T_{r2})은 도 3에 도시된 에너지회수회로가 동작하기 시작해서 제2 스위치(S2)가 턴온되기까지의 기간을 의미한다.

<47> 제2 서스테인펄스(SUS2)보다 상대적으로 펄스 폭이 큰 제1 서스테인펄스(SUS1)는 주사/서스테인구동부에서 주사/서스테인전극라인(Y)까지의 전류경로의 저항을 보상하게 된다. 이에 따라, 주사/서스테인전극(Y)과 공통서스테인전극(Z) 사이의 유지방전세기를 같아진다. 방전세기가 동일해져 방전이 균일해짐으로써 화질이 향상된다.

<48> 도 8a 및 도 8b는 주사/서스테인구동부에서 주사/서스테인전극라인(Y)까지의 전류경로의 저항이 공통서스테인구동부에서 공통서스테인전극라인(Z)까지의 그것 보다 작은 경우에 인가되는 서스테인펄스를 나타내는 도면이다.

<49> 도 8a 및 도 8b를 참조하면, 주사/서스테인전극라인(Y)에 인가되는 제1 서스테인펄스(SUS1)의 폭($TP1$)에 비해 공통서스테인전극라인(Z)에 인가되는 제2 서스테인펄스(SUS2)의 폭($TP2$)은 상대적으로 크게 형성된다.

<50> 도 8a에 도시된 바와 같이 제1 서스테인펄스(SUS1)의 상승기간(T_{r1})은 제2 서스테인펄스(SUS2)의 상승기간(T_{r2})과 동일하게 형성되며, 제2 서스테인펄스(SUS2)의 유지기간(T_{s2})은 제1 서스테인펄스(SUS1)의 유지기간(T_{s1})보다 더 길게 형성되며, 제1 서스테인펄스(SUS1)의 하강기간(T_{f1})은 제2 서스테인펄스(SUS2)의 하강기간(T_{f2})과 동일하게 형성된다.

<51> 도 8b에 도시된 바와 같이, 제2 서스테인펄스(SUS2)의 상승기간(Tr_2)은 제1 서스테인펄스(SUS1)의 상승기간(Tr_1)보다 짧게 형성되며, 제2 서스테인펄스(SUS2)의 유지기간(Ts_2)은 제1 서스테인펄스(SUS1)의 유지기간(Ts_1)보다 더 길게 형성되며, 제1 서스테인펄스(SUS1)의 하강기간(Tf_1)은 제2 서스테인펄스(SUS2)의 하강기간(Tf_2)과 동일하게 형성된다. 서스테인펄스의 상승시간이 작을수록 방전세기가 상대적으로 커짐으로써 제1 서스테인펄스(SUS1)의 상승시간(Tr_1)보다 짧은 제2 서스테인펄스(SUS2)는 상승시간(Tr_2)에 의해 방전세기가 상대적으로 커진다. 여기서, 상승기간(Tr_1, Tr_2)은 도 3에 도시된 에너지회수회로가 동작하기 시작해서 제2 스위치(S2)가 턴온되기까지의 기간을 의미한다.

<52> 제1 서스테인펄스(SUS1)보다 상대적으로 펄스 폭이 큰 제2 서스테인펄스(SUS2)는 공통서스테인구동부에서 공통서스테인전극라인(Y)까지의 전류경로의 저항을 보상하게 된다. 이에 따라, 주사/서스테인전극(Y)과 공통서스테인전극(Z) 사이의 유지방전세기를 같아진다. 방전세기가 동일해져 방전이 균일해짐으로써 화질이 향상된다.

【발명의 효과】

<53> 상술한 바와 같이, 본 발명에 따른 플라즈마 디스플레이 패널의 구동방법은 주사/서스테인펄스와 공통서스테인펄스의 상승시간 및 유지기간을 다르게 하여 주사/서스테인펄스와 공통서스테인펄스의 폭을 서로 다르게 형성한다. 즉, 상대적으로 전극라인에서 구동부까지의 전류경로의 저항이 큰 전극라인에 상대적으로 펄스폭이 큰 서스테인펄스를 인가하게 된다. 이에 따라, 주사/서스테인전극과 공통서스테인전극 사이의 서스테인방전세기가 동일해져 과방전을 방지할 수 있어 구동전압마진을 향상시킬 수 있다.

<54> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

【특허청구범위】**【청구항 1】**

제1 및 제2 행전극과 열전극을 구비하고, 방전횟수에 따라 계조를 구현하는 서스테인기간을 포함하는 플라즈마 디스플레이 패널의 구동방법에 있어서,

상기 서스테인기간동안 제1 및 제2 구동부에서 각각 생성된 폭이 다른 제1 및 제2 서스테인펄스를 상기 제1 및 제2 행전극에 교번적으로 공급하는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 2】

제 1 항에 있어서,

상기 제1 구동부에서 제1 행전극까지의 저항은 상기 제2 구동부에서 제2 행전극까지의 저항에 비해 상대적으로 크며,

상기 제1 서스테인펄스의 폭은 상기 제2 서스테인펄스의 폭보다 길게 형성되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 3】

제 2 항에 있어서,

상기 제1 서스테인펄스의 유지기간은 상기 제2 서스테인펄스의 유지기간보다 상대적으로 길게 형성되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

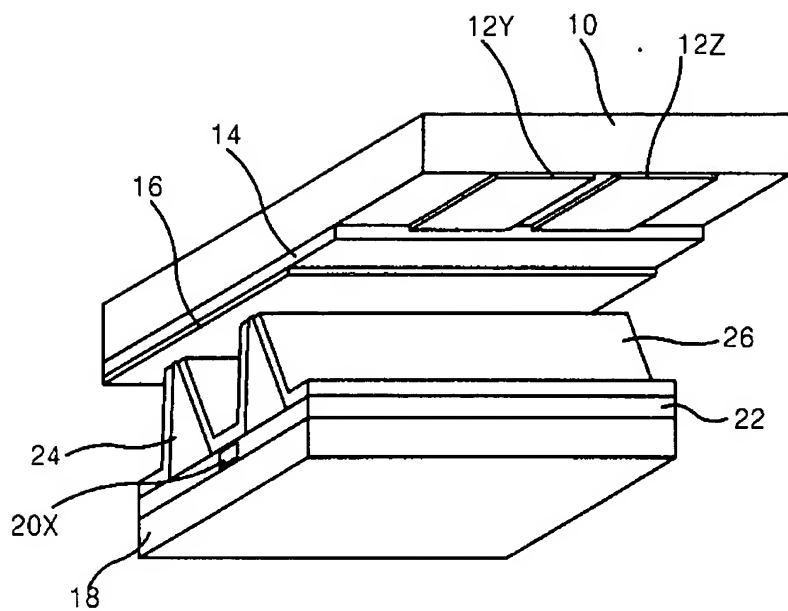
【청구항 4】

제 2 항에 있어서,

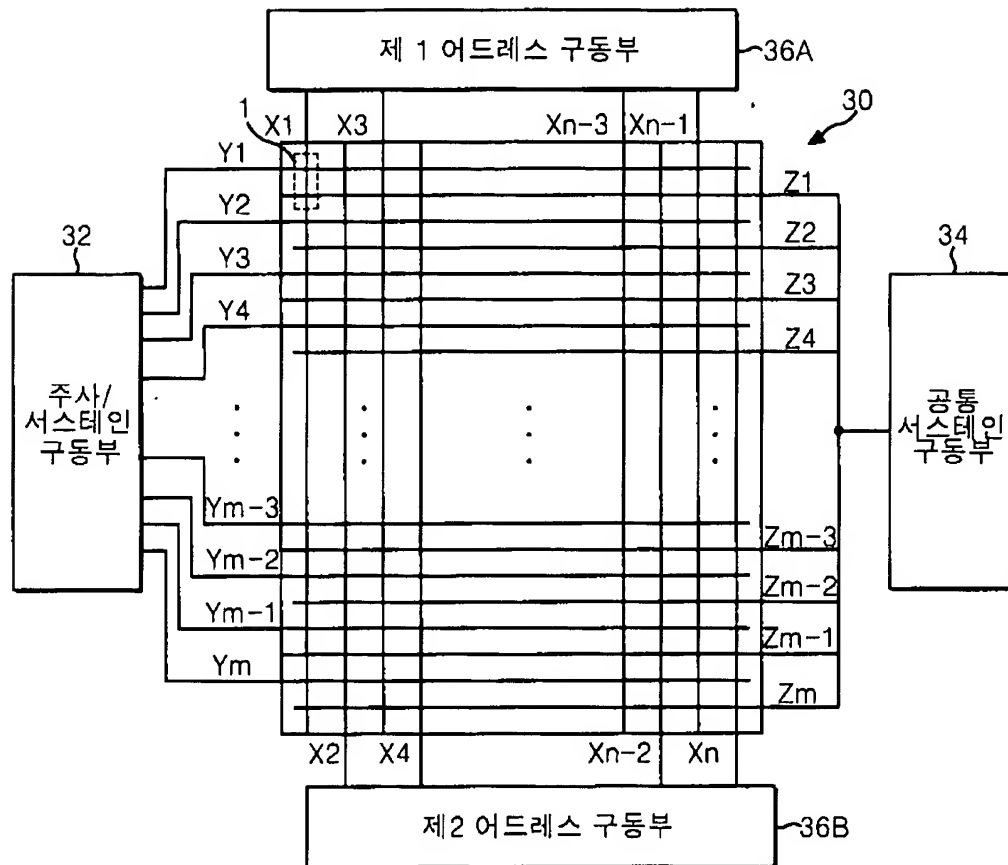
상기 제1 서스테인펄스의 에너지회수회로에 의한 상승기간은 상기 제2 서스테인펄스의 에너지회수회로에 의한 상승기간보다 상대적으로 짧게 형성되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【도면】

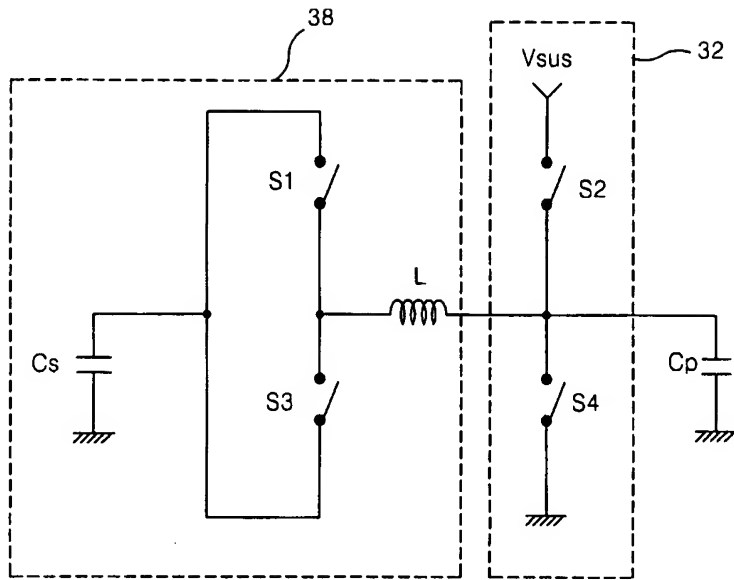
【도 1】



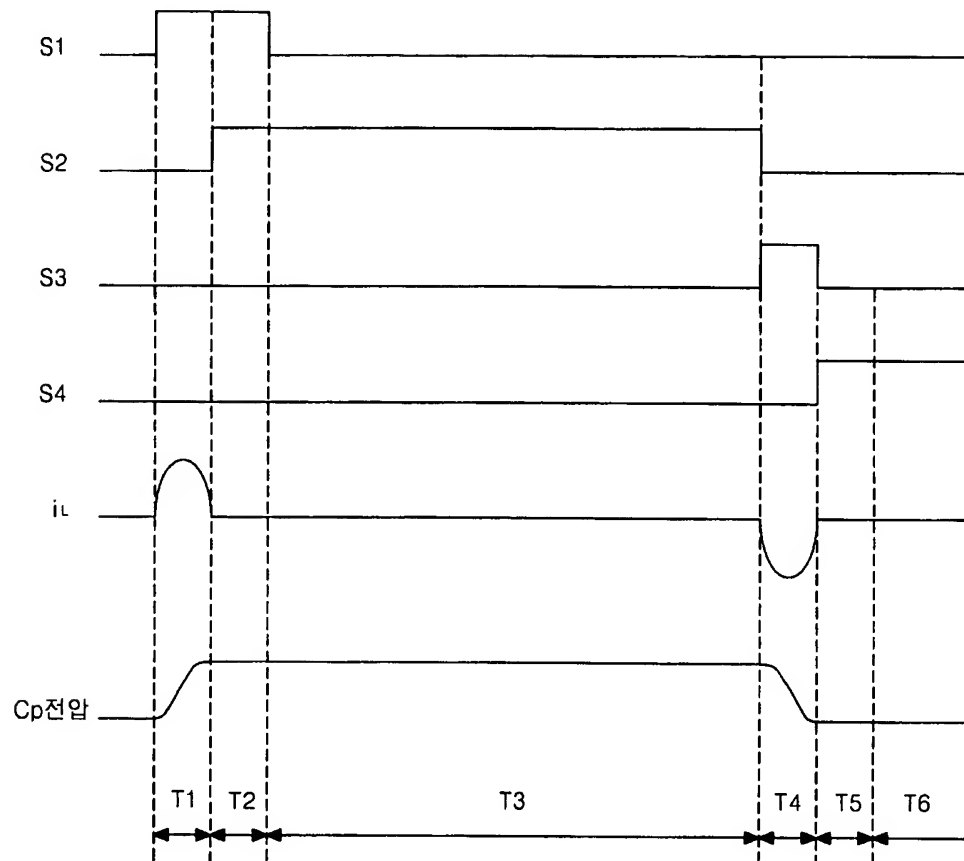
【도 2】



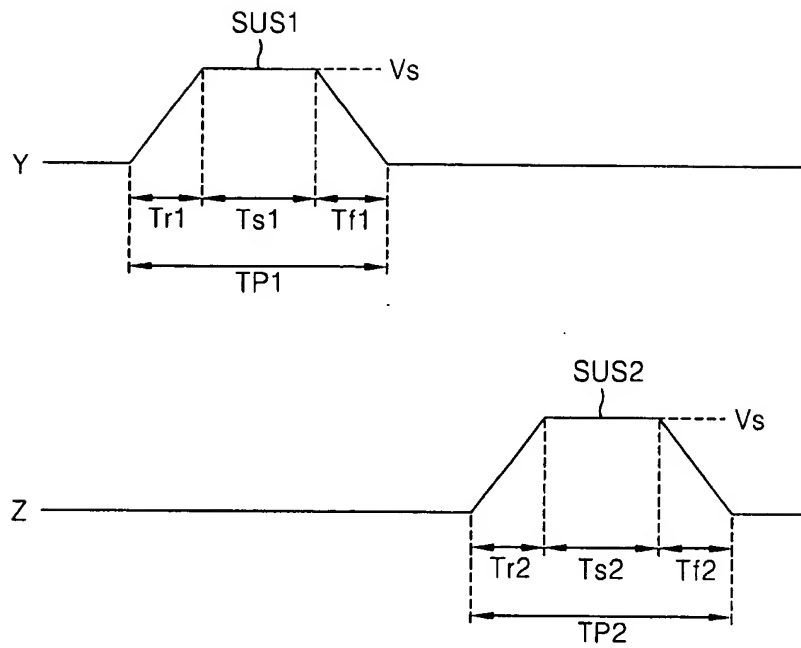
【도 3】



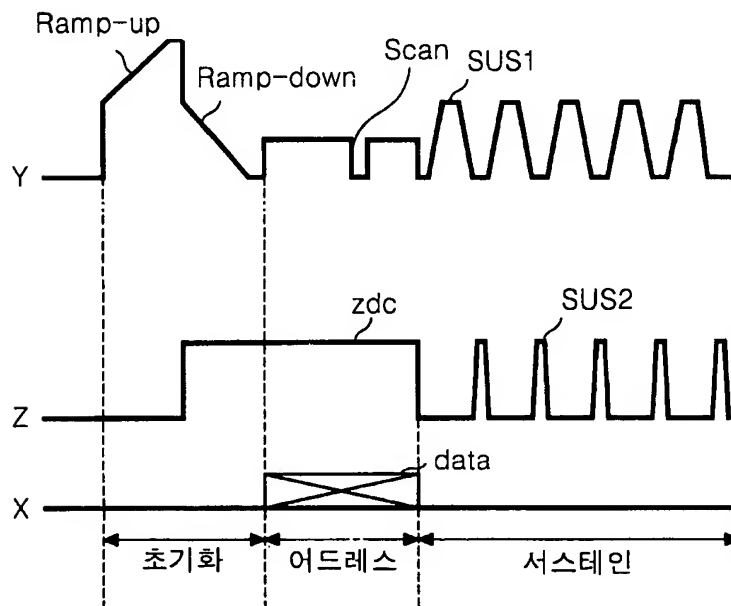
【도 4】



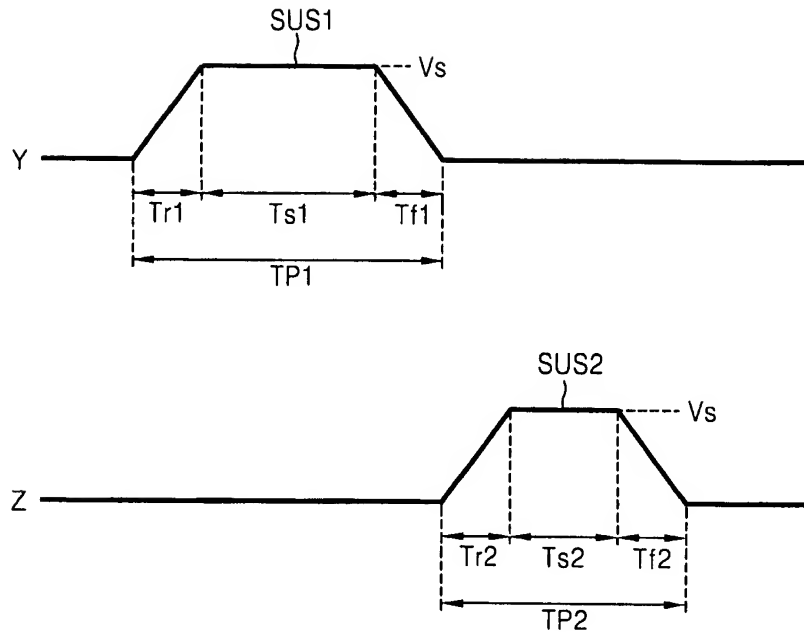
【도 5】



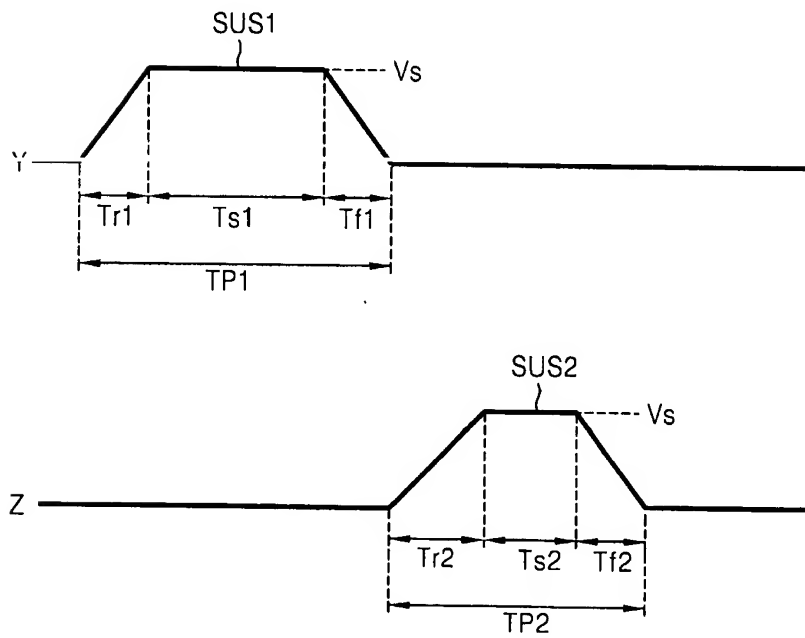
【도 6】



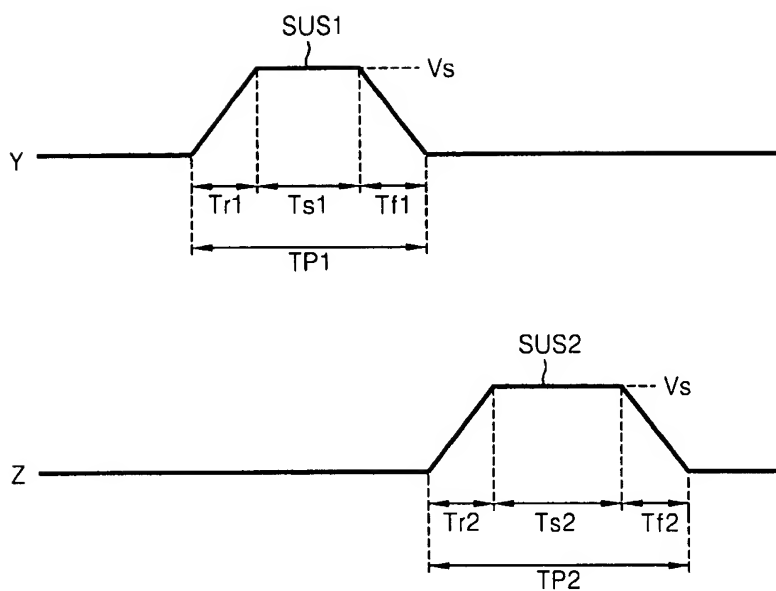
【도 7a】



【도 7b】



【도 8a】



【도 8b】

